

J. Witcher
5-29-01
2

PATENT
P56350

jc872 U.S. PRO
09/832199
04/11/01

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of:

CHUIL-MIN KIM

Serial No.: *To be assigned*

Examiner: *To be assigned*

Filed: 11 April 2001

Art Unit: *To be assigned*

For: METHOD FOR DESIGNING DE-EMPHASIS CIRCUIT FOR VIDEO SIGNAL
PROCESSING INTEGRATED CIRCUIT AND INTEGRATED CIRCUIT MADE
BY THE SAME

**CLAIM OF PRIORITY
UNDER 35 U.S.C. §119**

Assistant Commissioner
for Patents
Washington, D.C. 20231

Sir:

The benefit of the filing date of the following prior foreign application, Korean Priority No. 2000/52372 (filed in Korea on 5 September 2000, and filed in the U.S. Patent and Trademark Office on 11 April 2001), is hereby requested and the right of priority provided in 35 U.S.C. §119 is hereby claimed.

In support of this claim, filed herewith is a certified copy of said original foreign application.

Respectfully submitted,


Robert E. Bushnell
Reg. No.: 27,774
Attorney for the Applicant

Suite 300, 1522 "K" Street, N.W.
Washington, D.C. 20005-1202
(202) 408-9040

Folio: P56350
Date: 11 April 2001
I.D.: REB/sys



JC872 U.S. PTO
09/03/2009
04/11/01

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

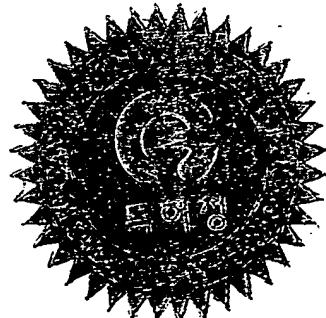
This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Industrial
Property Office.

BEST AVAILABLE COPY

출 원 번 호 : 특허출원 2000년 제 52372 호
Application Number

출 원 년 월 일 : 2000년 09월 05일
Date of Application

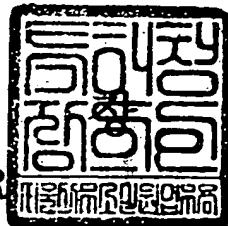
출 원 인 : 삼성전자 주식회사
Applicant(s)



2000 12 19 월 일

특 허 청

COMMISSIONER



JC872 U.S. PTO
09/032199
04/11/01



THE KOREAN INDUSTRIAL
PROPERTY OFFICE

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Industrial Property
Office.

Application Number : Patent Application

No. 00-52372

Date of Application : 5 September 2000

Applicant : Samsung Electronics Co., Ltd.

19 December 2000

COMMISSIONER

10200000052372

2000/12/2

[Document Name] Patent Application
[Application Type] Patent
[Receiver] Commissioner
[Reference No] 0011
[Filing Date] 2000.09.05.
[IPC No.] H03G

Jc872 U.S. PRO
09/03/99
04/11/01



[Title] De-emphasis circuit design method of video signal processing
IC and IC using thereof

[Applicant] Name: Samsung Electronics Co., Ltd.
Applicant code: 1-1998-104271-3

[Attorney] Name: Young-pil Lee
Attorney's code: 9-1998-000334-6
General Power of Attorney Registration No. 1999-009556-9

[Attorney] Name: Heung-soo Choi
Attorney's code: 9-1998-000657-4
General Power of Attorney Registration No. 1999-009578-0

[Attorney] Name: Hae-young Lee
Attorney's code: 9-1999-000227-4
General Power of Attorney Registration No. 2000-002816-9

[Inventor] Name: Chul-min Kim
I.D. No. 620724-1002617
Zip Code 442-374
Address: 205-7 Seongil Apt., 810-4 Maetan 4-dong, Paldal-gu
Suwon-city, Kyungki-do
Nationality: KR

[Application Order] We file as above according to Art. 42 of the Patent Law.
Attorney Young-pil Lee
Attorney Heung-soo Choi
Attorney Hae-young Lee

[Fee] Basic page: 14 Sheet(s) 29,000 won
Additional page: 0 Sheet(s) 0 won
Priority claiming fee: 0 Case(s) 0 won
Examination fee: 0 Claim(s) 0 won
Total: 29,000 won

[Enclosures] 1. Abstract and Specification (and Drawings)

1 copy

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0011
【제출일자】	2000.09.05
【국제특허분류】	H03G
【발명의 명칭】	비디오 신호 처리 IC의 디엠파시스 회로 설계방법 및 이를 이용한 IC
【발명의 영문명칭】	De-Emphasis circuit design method of video signal processing IC and IC using thereof
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	최홍수
【대리인코드】	9-1998-000657-4
【포괄위임등록번호】	1999-009578-0
【대리인】	
【성명】	이해영
【대리인코드】	9-1999-000227-4
【포괄위임등록번호】	2000-002816-9
【발명자】	
【성명의 국문표기】	김철민
【성명의 영문표기】	KIM,Chul Min
【주민등록번호】	620724-1002617
【우편번호】	442-374
【주소】	경기도 수원시 팔달구 매탄4동 810-4 성일아파트 205동 7호
【국적】	KR

【취지】

특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대
리인

이영

필 (인) 대리인

최홍수 (인) 대리인

이해영 (인)

【수수료】

【기본출원료】 14 면 29,000 원

【가산출원료】 0 면 0 원

【우선권주장료】 0 건 0 원

【심사청구료】 0 항 0 원

【합계】 29,000 원

【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 비디오신호 처리 IC 및 IC 설계 방법에 관한 것으로서, 특히 비디오신호 처리 IC의 디엠파시스 단자의 외부 응용 회로의 부품 수를 최소화시켜 작업 공정 및 자재비를 절감시키기 위한 비디오신호 처리 IC의 디엠파시스 회로 설계 방법 및 이를 이용한 IC에 관한 것이다.

본 발명에 의하면 비디오신호 처리 IC의 설계 시에 디엠파시스 회로의 재생 비디오 레벨을 결정하는 회로를 구성하는 모든 회로 소자들을 비디오신호 처리 IC에 내장하도록 설계함으로써, 부품수가 줄어들어 작업공정 비용이 절감되는 효과가 발생될 뿐만 아니라 자재비 또한 줄일 수 있는 효과가 발생된다.

【대표도】

도 2

【명세서】

【발명의 명칭】

비디오신호 처리 IC의 디эм파시스 회로 설계 방법 및 이를 이용한 IC
{De-Emphasis circuit design method of video signal processing IC and IC using
thereof}

【도면의 간단한 설명】

도 1은 종래의 기술에 의한 비디오 신호 처리 IC를 포함하는 VCR의 재생 회로 구성
도이다.

도 2는 본 발명에 의한 비디오신호 처리 IC가 적용되는 VCR의 재생 회로 구성도이
다.

도 3은 FM신호와 비디오신호의 변/복조 관계를 나타내는 도면이다.

도 4는 도 2에 도시된 PB레벨 설정부의 상세 회로도이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<5> 본 발명은 비디오신호 처리 IC(Integrated Circuit) 및 IC 설계 방법에 관한 것으
로서, 특히 비디오신호 처리 IC의 디эм파시스 단자의 외부 용용 회로의 부품 수를 최소
화시켜 작업 공정 및 자재비를 절감시키기 위한 비디오신호 처리 IC의 디эм파시스 회로
설계 방법 및 이를 이용한 IC에 관한 것이다.

<6> 도 1에 도시된 바와 같이, 종래의 기술에 의하여 설계된 비디오신호 처리 IC를 포

함하는 VCR의 재생 회로는 비디오헤드(110), 로터리트랜스(120), 프리앰프(Pre-Amp:130)와, 고역통과필터(141), 리미터(142), 복조부(143), 저역통과필터(144), 디엠파시스(De-Emphasis:145), PB레벨 설정부(146) 및 믹서(Mix:147)를 포함하는 비디오신호 처리 IC(140)로 구성되어 있다.

<7> 재생 모드에서 비디오헤드(110)에 의하여 검출되는 변조된 FM 비디오신호는 로터리트랜스(120)를 경유하여 프리앰프(130)에 입력되어, 신호 처리를 용이하게 하기 위하여 일정한 이득으로 증폭된 된 후에 비디오신호 처리 IC(140)의 고역통과필터(141)에 입력된다.

<8> 그러면, 고역통과필터(141)에서는 저역성분의 칼라신호를 차단시키고, 변조된 FM 휘도신호만을 통과시키고, FM 휘도신호는 복조 시에 흑백반전 현상이 발생되는 것을 방지하기 위하여 리미터(142)를 거친 후에 복조부(143)에서 복조시킨 후에 노이즈를 차단시키기 위하여 저역통과필터(144)를 경유하여 디엠파시스(145)에 인가된다.

<9> 디엠파시스(145)는 FM복조 후에 변조전의 프리 앰파시스와 역특성을 갖도록 증폭하여 고역을 원래의 기록전의 상태와 동등하게 보상하는 역할을 한다. 그리고, 디엠파시스(145)를 구성하는 증폭기의 이득값에 따라서 PB(재생) 비디오 레벨이 변하게 된다. 이에 따라서 종래의 기술에 의하면 비디오신호 처리 IC(140) 제조공정에서 PB 레벨 설정부(146)의 이득값을 결정한다. 비디오신호 처리 IC(140) 제조 공정에서는 편P1에 저항 R1을 부착한 상태에서 PB레벨 설정부(146)의 이득값을 설정하기 때문에 실제로 제품 제조 공정에서 저항 R1값의 편차에 따라서 PB레벨의 오차가 발생하게 된다.

<10> 디엠파시스(145)에서 출력되는 휘도신호는 칼라신호 재생 처리 프로세스를 거친 칼라신호와 믹서(147)에서 합성되어 편 P2로 출력된다.

<11> 이와 같이, 종래의 기술에 의한 비디오신호 처리 IC는 비디오신호 처리 IC의 디엠파시스 출력단자에 재생되는 비디오신호의 레벨을 결정하기 위한 가변저항 또는 고정저항을 반드시 추가하도록 설계되어 있어서, 부품수가 증가되어 작업성이 떨어지고, 자재비가 증가되고 PB레벨 편차가 IC외부의 고정저항의 편차에 의해 발생되는 문제점이 있었다.

【발명이 이루고자 하는 기술적 과제】

<12> 본 발명이 이루고자 하는 기술적 과제는 상술한 문제점을 해결하기 위하여 비디오신호 처리 IC 내부에 디엠파시스 회로의 재생 비디오신호 레벨을 결정하는 회로 소자를 내장하여 비디오신호 처리 IC의 주변 부품수를 최소화시키기 위한 비디오신호 처리 IC의 디엠파시스 회로 설계 방법 및 이를 이용한 IC를 제공하는데 있다.

【발명의 구성 및 작용】

<13> 상기 기술적 과제를 달성하기 위하여 본 발명에 의한 비디오신호 처리 IC의 디엠파시스 회로 설계 방법은 디엠파시스 회로를 포함하는 휘도신호처리 블록 및 칼라신호처리 블록을 내장하는 비디오신호 처리 IC 설계 방법에 있어서, 상기 디엠파시스 회로의 재생 비디오 레벨을 결정하는 회로 소자를 상기 비디오신호 처리 IC에 내장하고, 상기 재생 비디오 레벨을 결정하는 회로 소자가 접속되는 접지는 상기 휘도신호처리 블록 전용의 접지에 연결시키는 회로 구성을 갖는 것을 특징으로 한다.

<14> 상기 다른 기술적 과제를 달성하기 위하여 본 발명에 의한 디엠파시스 회로의 재생 비디오 레벨을 결정하는 회로를 내장하는 비디오신호 처리 IC는 재생 비디오 레벨 설정부를 포함하는 디엠파시스 회로를 내장하는 비디오신호 처리 IC에 있어서, 상기 재생 비

디오 레벨 설정부는 디엠파시스 신호 처리되어 출력되는 복조된 휘도신호를 증폭시키기 위한 증폭부 및 상기 증폭부의 이득을 결정하는 복수의 저항소자들과 연결되어, 상기 비디오신호 처리 IC 제조 공정에서 상기 복수의 저항소자들의 전기적 도통 여부를 재생 비디오 레벨에 따라서 스위칭하여 결정하기 위한 이득 제어 스위칭부를 포함함을 특징으로 한다.

- <15> 이하 첨부된 도면을 참조하여 본 발명의 바람직한 실시 예에 대하여 상세히 설명하기로 한다.
- <16> 도 2에 도시된 바와 같이, 본 발명에 의한 비디오신호 처리 IC를 포함하는 VCR의 재생 회로는 비디오 헤드(210), 로터리트랜스(220), 프리앰프(230)와, 고역통과필터(HPF:241), 리미터(242), 복조부(243), 저역통과필터(LPF:244), 디엠파시스(245), PB레벨 설정부(246) 및 믹서(MIXER:247)를 포함하는 비디오신호 처리 IC(240)를 구비한다.
- <17> 일반적으로, 디엠파시스(245)와 PB레벨 설정부(246)를 함께 통상적으로 디엠파시스 회로라 칭하며, 이들은 동일 회로 블록에서 처리된다.
- <18> 위의 PB레벨 설정부(246)의 세부적인 회로 구성은 도 4에 도시된 바와 같이, 증폭부($Q_1, R_0, R_1, R_2, R_3, \dots, R_n$)와 이득 제어 스위칭부(10)로 구성되어 있다.
- <19> 우선, 기본적인 동작 설명을 하면 다음과 같다.
- <20> 재생 모드에서 비디오헤드(210)에 의하여 검출되는 변조된 FM 비디오신호는 로터리트랜스(220)를 경유하여 프리앰프(230)에 입력되어, 신호 처리를 용이하게 하기 위하여 일정한 이득으로 증폭된 된 후에 비디오신호 처리 IC(240)의 고역통과필터(241)로 출력된다.

<21> 그러면, 고역통과필터(241)는 변조된 비디오신호에 포함되어 있는 저역성분의 칼라 신호 성분은 차단시키고, 변조된 FM 휘도신호만을 통과시키는 역할을 한다.

<22> 이에 따라서, 고역통과필터(241)에서 출력되는 변조된 FM 휘도신호는 리미터(242)에 입력되는데, 변조된 FM 휘도신호는 진폭이 큰 저주파수의 FM변조파와 진폭이 낮은 고주파수의 FM변조파가 혼합되어 있다. 이로 인하여 FM변조파의 고역부분의 진폭이 낮은 영역에서 신호성분이 소실되기 쉬우며, 따라서 복조 시에 흑백반전 현상이 발생되기도 한다. 이와 같은 흑백반전 현상을 방지하기 위하여 리미터(242)에서 일정 레벨을 기준으로 파형을 리미팅한다.

<23> 복조부(243)에서는 리미터(243)의 출력을 입력하여, 1MHz의 주파수 편이량으로 변조된 FM 휘도신호를 변조 전의 상태로 복원하기 위하여 복조한다. 그리고 나서, 디엠파시스(245)에 입력된다.

<24> 디엠파시스(245)는 FM복조후 변조전의 프리엠파시스(Pre-Emphasis)와 역의 주파수 이득 특성을 갖도록 내부 증폭회로를 설계한다.

<25> 다음으로, 디엠파시스(245)에서 이득값을 조정하여 재생 비디오신호의 출력 레벨을 규정된 레벨로 맞추어야 하는데, 이를 PB레벨 설정부(246)에서 실행한다.

<26> 재생 비디오신호의 레벨은 도 3에 도시된 바와 같이, VHS(Video Home System) 규격에 따라서 1MHz의 주파수 편이량으로 변조된 FM 비디오신호를 복조후에 1Vpp의 레벨을 갖도록 규정되어 있다. 그런데, 비디오신호 처리 IC(240)의 제조공정에서 발생되는 특성 차이로 인하여 주파수 복조시의 주파수 편이량에 대한 재생 휘도신호 레벨의 그래프 특성이 a 또는 b로 변경될 수 있으므로 비디오신호 처리 IC(240)의 제조공정에서 주파수

변조시의 주파수 편이량에 대한 재생 휘도신호 레벨의 그래프 특성이 b와 같이 1MHz 주파수 편이량에 대한 재생 휘도신호가 1Vpp가 되도록 PB레벨 설정부(246)에서 스위칭 제어한다.

<27> PB레벨 설정부(246)의 동작을 도 4의 회로도를 참조하여 설명하면 다음과 같다.

<28> 디엠파시스(245)의 출력신호는 트랜지스터(Q1)의 베이스단자에 인가되며, 트랜지스터(Q1) 및 저항(R0, R1, ..., Rn)으로 구성된 회로구성은 증폭부로서, 트랜지스터(Q1)의 콜렉터단자에 병렬로 연결된 저항(R1, R2, ..., Rn) 값에 따라서 증폭부의 이득값이 결정되게 된다.

<29> 그리고, 트랜지스터(Q1)의 콜렉터단자에 병렬로 연결된 저항(R1, R2, ..., Rn)은 각각 스위치(SW1, SW2, ..., SWn)를 통하여 접지되어 있다. 따라서, 스위치(SW1, SW2, ..., SWn) 중에서 오프(OFF)된 스위치와 연결된 저항은 이득값에 영향을 주지 못하고, 온(ON)된 스위치와 연결된 저항만이 증폭부의 이득값에 영향을 주게 된다. 특히, 스위치(SW1, SW2, ..., SWn)에 연결된 접지는 칼라신호 재생처리 프로세스에 사용되는 접지와 분리된 휘도신호처리 프로세스에 전용으로 사용되는 접지에 연결시킨다. 이는 휘도신호처리에 사용되는 접지와 칼라신호처리에 사용되는 접지의 분리를 통하여 칼라신호 처리 과정에서 발생되는 노이즈가 휘도신호에 영향을 미치는 것을 방지하기 위함이다.

<30> 이와 같은 원리를 이용하여, 비디오신호 처리 IC(240)의 제조공정에서 1MHz의 주파수 편이량으로 주파수 변조된 휘도신호를 비디오신호 처리 IC(240)의 복조부(243)에 입력한 후에 비디오신호 처리 IC(240)의 재생 비디오신호의 레벨이 75Ω 터미네이션 (Termination) 조건에서 1Vpp가 되도록 PB레벨 설정부(246)를 구성하는 증폭부의 이득값을 결정하고, 결정된 이득값에 따라서 트랜지스터(Q1)의 콜렉터단자 저항값을 결정하는

이득 제어 스위칭부(10)의 스위치(SW1, SW2, ..., SWn)의 온/오프를 결정한다.

<31> 여기에서, 이득 제어 스위칭부(10)를 구성하는 스위치(SW1, SW2, ..., SWn)는 제너 다이오드로 구성하고, 제너 다이오드의 제너 브레이크다운(Zener Breakdown) 특성을 이용하여 스위칭 온/오프를 결정하도록 설계할 수 있다. 즉, 스위칭 온시키고자 하는 제너 다이오드에 브레이크다운 이상의 전압을 인가하면, 제너 브레이크다운 현상이 발생되어 제너 다이오드는 저항이 거의 없는 단락상태가 되어 도통되게 된다. 이러한 방법을 통상적으로 제너 재핑(Zener Zapping)이라 한다.

<32> 이와 같이, 본 발명에 의하면 비디오신호 처리 IC의 설계 시에 디엠파시스 회로의 재생 비디오 레벨을 결정하는 회로를 구성하는 모든 회로 소자들을 비디오신호 처리 IC에 내장하고, 비디오신호 처리 IC의 디엠파시스회로의 출력단자의 저항소자를 포함하는 외부 회로소자를 삭제할 수 있게 되었다.

<33> 본 발명의 일실시 예에 의한 설명에서는 PB레벨 설정부(246)의 증폭부의 세부 회로 구성을 트랜지스터를 이용하였으나, 차동 증폭기의 회로 구성으로 대체할 수도 있음은 당연하다.

【발명의 효과】

<34> 상술한 바와 같이, 본 발명에 의하면 비디오신호 처리 IC의 설계 시에 디엠파시스 회로의 재생 비디오 레벨을 결정하는 회로를 구성하는 모든 회로 소자들을 비디오신호 처리 IC에 내장하도록 설계함으로써, 부품수가 줄어들어 작업공정 비용이 절감되는 효과가 발생될 뿐만 아니라 외부 부품 편차에 의한 PB레벨 편차를 줄일 수 있고, 자재비 또한 줄일 수 있는 효과가 발생된다.

【특허청구범위】**【청구항 1】**

디엠파시스 회로를 포함하는 휘도신호처리 블록 및 칼라신호처리 블록을 내장하는 비디오신호 처리 IC 설계 방법에 있어서,

상기 디엠파시스 회로의 재생 비디오 레벨을 결정하는 회로 소자를 상기 비디오신호 처리 IC에 내장하고, 상기 재생 비디오 레벨을 결정하는 회로 소자가 접속되는 접지는 상기 휘도신호처리 블록 전용의 접지에 연결시키는 회로 구성을 갖는 것을 특징으로 하는 비디오신호 처리 IC의 디엠파시스 회로 설계 방법.

【청구항 2】

제1항에 있어서, 상기 재생 비디오 레벨을 결정하는 회로 소자는 증폭기와 상기 증폭기의 이득을 결정하는 저항소자 값을 스위칭하여 결정하는 스위칭소자로 구성됨을 특징으로 하는 비디오신호 처리 IC의 디엠파시스 회로 설계 방법.

【청구항 3】

제2항에 있어서, 상기 스위칭소자는 제너 다이오드로 구성하고, 상기 제너 다이오드의 제너 브레이크다운 특성을 이용하여 스위칭 온/오프를 결정함을 특징으로 하는 비디오신호 처리 IC의 디엠파시스 회로 설계 방법.

【청구항 4】

제1항에 있어서, 상기 재생 비디오 레벨을 결정하는 회로의 이득값을 결정하는 소자값은 1MHz의 주파수 편이량으로 주파수 변조된 휘도신호를 상기 비디오신호 처리 IC의 복조회로에 입력한 후에 상기 비디오신호 처리 IC의 재생 비디오신호의 출력 레벨이

1Vpp(75Ω 터미네이션 조건)가 되도록 결정함을 특징으로 하는 비디오신호 처리 IC의 디엠파시스 회로 설계 방법.

【청구항 5】

재생 비디오 레벨 설정부를 포함하는 디엠파시스 회로를 내장하는 비디오신호 처리 IC에 있어서, 상기 재생 비디오 레벨 설정부는 디엠파시스 신호 처리되어 출력되는 복조된 휘도신호를 증폭시키기 위한 증폭부; 및

상기 증폭부의 이득을 결정하는 복수의 저항소자들과 연결되어, 상기 비디오신호 처리 IC 제조 공정에서 상기 복수의 저항소자들의 전기적 도통 여부를 재생 비디오 레벨에 따라서 스위칭하여 결정하기 위한 이득 제어 스위칭부를 포함함을 특징으로 하는 디엠파시스 회로의 재생 비디오 레벨을 결정하는 회로를 내장하는 비디오신호 처리 IC.

【청구항 6】

제5항에 있어서, 상기 이득 제어 스위칭부는 제너 다이오드로 구성하고, 상기 제너 다이오드의 제너 브레이크다운 특성을 이용하여 스위칭 온/오프를 결정함을 특징으로 하는 디엠파시스 회로의 재생 비디오 레벨을 결정하는 회로를 내장하는 비디오신호 처리 IC.

【청구항 7】

제5항에 있어서, 상기 이득 제어 스위칭부의 스위칭 제어는 1MHz의 주파수 편이량으로 주파수 변조된 휘도신호를 상기 비디오신호 처리 IC의 복조회로에 입력한 후에 상기 비디오신호 처리 IC의 재생 비디오신호의 출력 레벨이 1Vpp(75Ω 터미네이션 조건)가

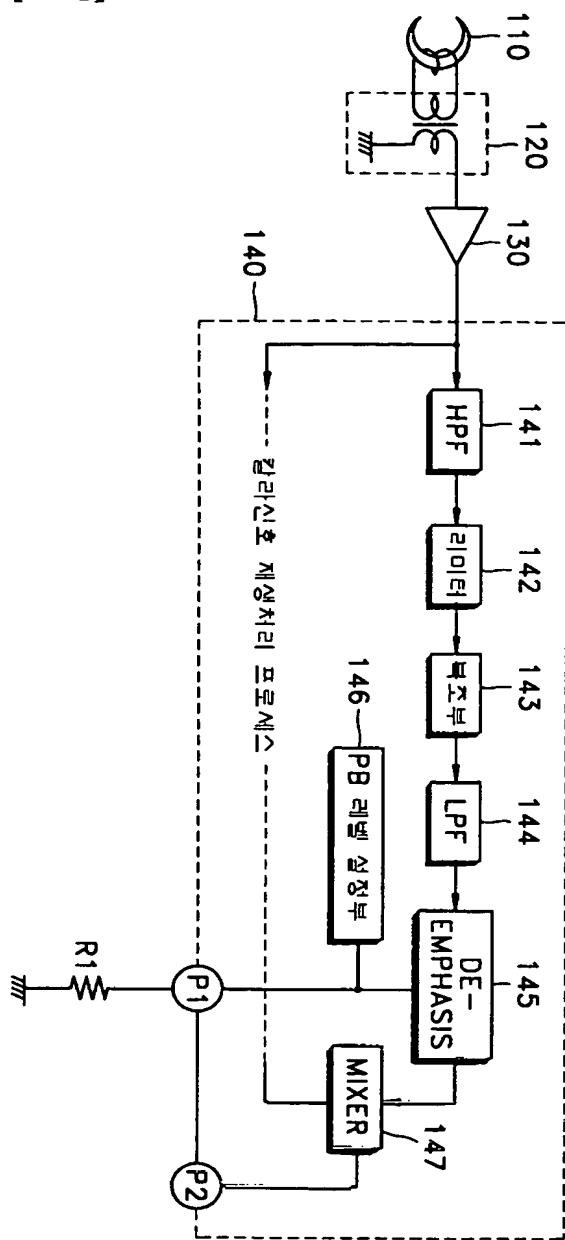
1020000052372

2000/12/2

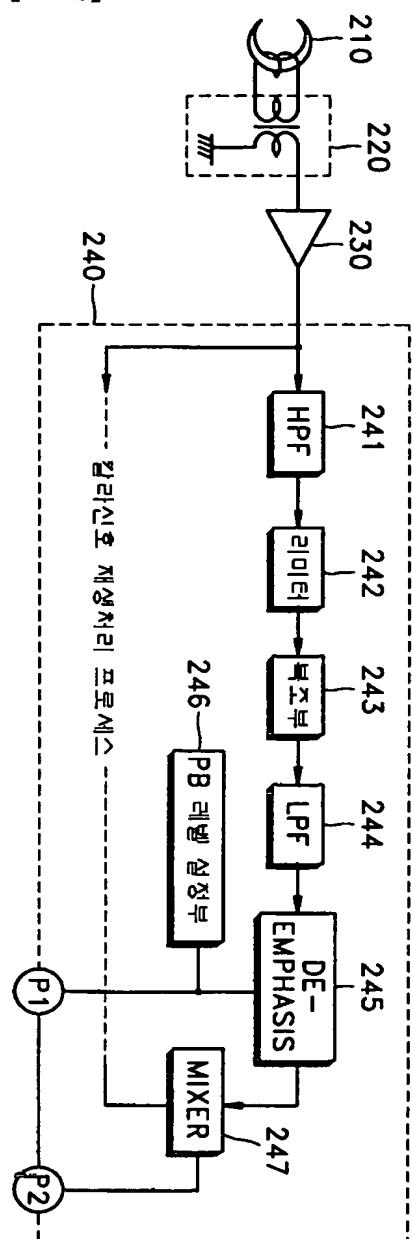
되도록 결정함을 특징으로 하는 디엠파시스 회로의 재생 비디오 레벨을 결정하는 회로
를 내장하는 비디오신호 처리 IC.

【도면】

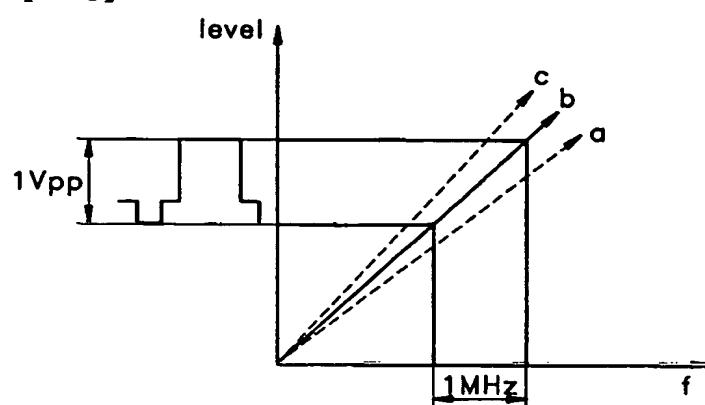
【도 1】



【도 2】



【도 3】



【도 4】

